

一种高速 RS 码与 LDPC 级联码编码器设计及硬件实现

施 展

(上海交通大学 微电子学院, 上海 200240)

摘 要: 提出了一种高速 RS+QC-LDPC 级联码编码器, 介绍了这种级联码在 FPGA 平台上的实现方法, 并对其性能进行了评估. 重点介绍了 RS+QC-LDPC 级联码的各种优化技术, 如基于二次扩展的 QC-LDPC 编码方法, 采用交织技术, 合理的搭配 RS 码和 QC-LDPC 码的码长、码率以达到最好的性能. 经过优化, 级联码编码器的吞吐量可以达到 2.25G bit/s 以上.

关键词: 级联码编码器; RS 码; QC-LDPC 码

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)10-0107-04

Design and Implementation of a Fast RS and QC-LDPC Cascade Encoder

SHI Zhan

(Shanghai Jiaotong University School of Microelectronics, Shanghai 200240, China)

Abstract: In this paper, a novel design of RS+QC-LDPC cascade encoder is presented, furthermore, the based FPGA implementation of the encoder is introduced. The throughput of cascade encoder surpasses 2.25G bit/s with using several optimization techniques, such as duplex expansion QC-LDPC code, interleave coded and reasonable code length and code rate.

Key words: cascade encoder; RS code; QC-LDPC code

1 引言

RS 码或 BCH 码与 LDPC 码的级联码已经应用在我国数字电视地面传播标准(China Mobile Multimedia Broadcasting, CMMB)和欧洲第二代卫星数字视频广播标准(Digital Video Broadcasting-Satellite 2, DVB-S2)中, 在数字无线传输领域发挥着越来越大的作用.

QC-LDPC 码作为一种特殊的 LDPC 码有着吞吐量大、便于硬件实现和性能优越等特点, 广泛应用于无线传输信道编码中, 但是在处理突发错误时, 它的效果不佳^[1], 可能较早出现误码平台现象. RS 码有着优秀的处理突发错误的能力, 可以弥补 QC-LDPC 码的不足, 并且可以有效降低 QC-LDPC 码的误码平台. 文中综合考虑了误码性能, 误码平

台, 编码器吞吐量和硬件资源消耗等方面的因素, 构造了一种高速的 RS+QC-LDPC 级联码编码器, 并且给出了基于 FPGA 的实现方法, 其吞吐量在 Xilinx Virtex2 平台上可以超过 2.25G bit/s^[2-3].

2 高速 RS+QC-LDPC 编码器

为了提高级联码编码器的效率, 并且使其有良好的性能和合理的资源消耗, 在三个方面进行了优化:

- (1) 采用更加高速的 LDPC 编码器结构.
- (2) 合理的将 RS 编码器和 LDPC 编码器级联.
- (3) 对整个级联码编码器进行结构优化.

2.1 高速 QC-LDPC 码的构造

高速 LDPC 编码器采用二次扩展的 QC-LDPC^[4]方法. 这种编码方法结合了 QC-LDPC 和 RU 算法的优点, 在不损失性能的前提下大大提高了编

码器的运算速度和吞吐量。

二次扩展 QC-LDPC 校验矩阵的构造过程如下:

(1) 根据码率设计母矩阵. 这里用到的是行数为 3、列数为 18 的母矩阵, 对应的码率是 5/6. 母矩阵有全 1 元素组成, 这同时也决定了扩展后的矩阵行重为 18、列重为 3(可证明列重为 3 时性能最佳), 如图 1 所示.

1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

图 1 校验矩阵的母矩阵

(2) 第一次扩展. 将母矩阵中的每一个 1 扩展成一个 $z_{fir} \times z_{fir}$ 的循环移位单位阵. 实际用到的扩展系数 $z_{fir} = 16$. 在校验矩阵中不能存在边长为 4 (girth = 4) 的环, 所以每一个循环移位矩阵的偏移量 (即单位循环矩阵第一行 1 的位置) 要考虑尽量避免产生环 4. 在本设计中采用的母矩阵, 而第一次扩展系数只有 16, 不可能在第一次扩展后就消除环 4, 可先将母矩阵分成的前后两个子矩阵, 分别采用相同的扩展方式, 并力图在第二次扩展时彻底消除环 4.

对每一个子矩阵采用逐列增加搜索偏移量的方法以得到满足上述条件的偏移量矩阵, 按照其对母矩阵进行第一次扩展得到 $(3 \times z_{fir}) \times (18 \times z_{fir})$ 矩阵.

(3) 第二次扩展. 与第一次的扩展方式类似, 将第一次扩展后的矩阵的每一个 1 元素再一次扩展成单位循环移位矩阵, 考虑到硬件实现的方便, 将第二次扩展的系数 z_{sec} 定为 32.

当对一个不包含环 4 的矩阵进行上述方法的扩展时是不会引入环 4 的, 所以为了消除校验矩阵中的环 4, 只要保证两个 3×9 的子矩阵对应列之间不产生环 4 即可. 具体可在对应列之间搜索第二次扩展的偏移量, 然后按照偏移量和扩展系数 $z_{sec} = 32$ 进行扩展得到矩阵 H_0 .

(4) 将 H_0 按母矩阵划分成 3×18 个 $(z_{fir} \times z_{sec}) \times (z_{fir} \times z_{sec})$ 的小方阵. 再以这些小方阵作为基础按照 RU 方法划分成 A、B、C、D、E、T 六个矩阵, 如图 2 所示.

其中对应的小方阵的个数分别为

$$\begin{aligned} A: & 1 \times 15 & D: & 2 \times 2 \\ B: & 1 \times 2 & E: & 2 \times 1 \\ C: & 2 \times 15 & T: & 1 \times 1 \end{aligned}$$

RU 编码方法仍然适用, 只是此时的 T 是一个单位循环矩阵而不再是下三角矩阵, 同时 T^{-1} 也是一个单位循环矩阵, 这就为硬件实现高速编码提供

了条件. 在 RU 算法中定义了 $\phi = -ET^{-1}B + D$, 并要求 ϕ 是可逆矩阵, 为了使其可逆要在矩阵 D 中去掉两个 32×32 的单位循环矩阵. 最后得到 1536×9216 的校验矩阵, 元素分布如图 3 所示.

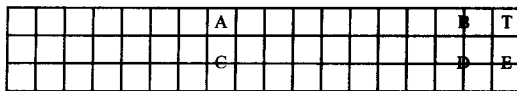


图 2 对校验矩阵的划分

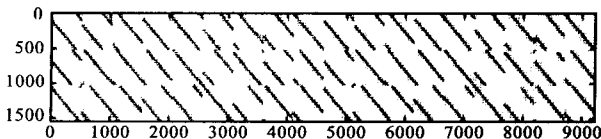


图 3 检验矩阵的元素分布

2.2 QC-LDPC 硬件编码器中的关键电路

编码过程中主要会用到三种运算: 伽罗华域向量加法、伽罗华域准循环移位单位矩阵乘向量、伽罗华域准循环移位矩阵乘向量. 其中伽罗华域向量加法最简单, 可以用异或预算直接实现; 伽罗华域准循环移位单位矩阵乘向量的结果是将向量循环上移, 只需要一个地址产生器产生逐位读取向量, 就可以实现其功能; 最为复杂的是伽罗华域准循环移位矩阵乘向量, 文献[5]提出了其实现的方法, 电路如图 4 所示.

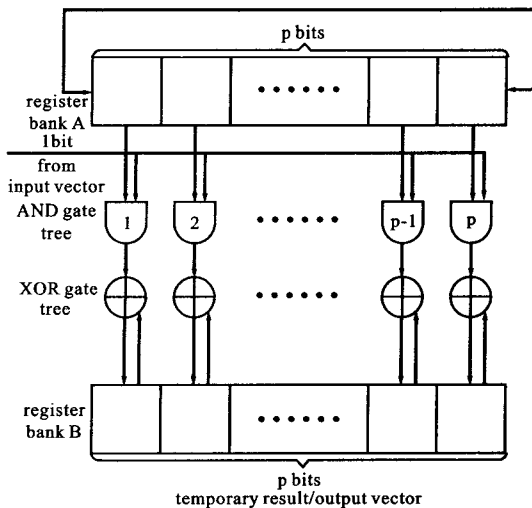


图 4 移位循环矩阵向量乘法器

2.3 RS 码与 QC-LDPC 码级联的优化

检验信道编码的重要指标是编码增益, 即编码调制系统相对于非编码调制系统在相同误码率的情况下的信噪比差值^[6-7]. 应该注意的是这里的信噪比是指信号能量与噪声能量之比, 噪声是加载在编码后的码字上, 所以需要注意噪声能量要除以码率, 即 $N_0 = N_{0, \text{uncoded}} / R$.

采用何种 RS 码与 QC-LDPC 码级联主要考虑三方面因素. 首先, RS 码译码错误时, 会出现译码成另外一个码字的情况, 这可能反而会增加误码率, 这种情况在信噪比较低时更容易出现. 其次, 级联 RS 码会使得整个级联码的码率下降, 使得上述的噪声能量 N_0 增加, 在 RS 码码率较低的情况下可能使得级联码的性能相比 QC-LDPC 有所下降, 所以要采用有较高的码率的 RS 码. 最后, 要考虑 RS 码和 QC-LDPC 码码长的匹配, 实际采用 RS(240, 232) 和 QC-LDPC(9216, 7680) 两种码进行级联.

另外, 为了将突发错误比较均匀分散在码字中, 在 RS 编码过后要有交织的过程, 采用的交织深度是 4, 宽度是 240.

2.4 级联码编码器结构的优化

为提高编码器的计算速度, 要进行流水级的划分, 划分的原则是让每一级计算完成的周期数相同或者相近, 将整个编码器划分为五个流水级, 具体如图 5 所示.

编码器采用的输入位宽是 16, 输出位宽是 18, 如果需要进行串并转换则需要在输入前和输出后增加额外电路.

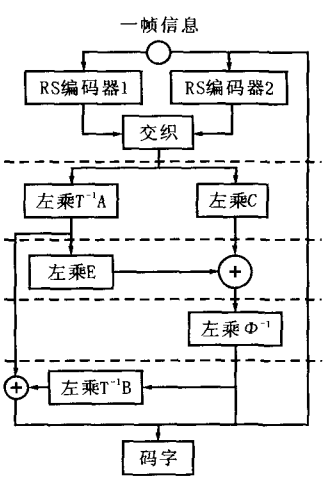


图 5 编码器流水级的划分

对矩阵采取分块并行处理的方法, 可以将每一流水级所用周期数控制在 514 个之内(由采用的码长和码率决定), 其中 QC-LDPC 编码本需要四个 RS 编码器同时输入, 但是因为 RS 编码器每编码一帧只需要 256 个周期, 所以每一个 RS 编码器可以在 514 个周期内完成两帧编码, 即只需两个 RS 编码器. 详细的级联码编码器的结构如图 6 所示.

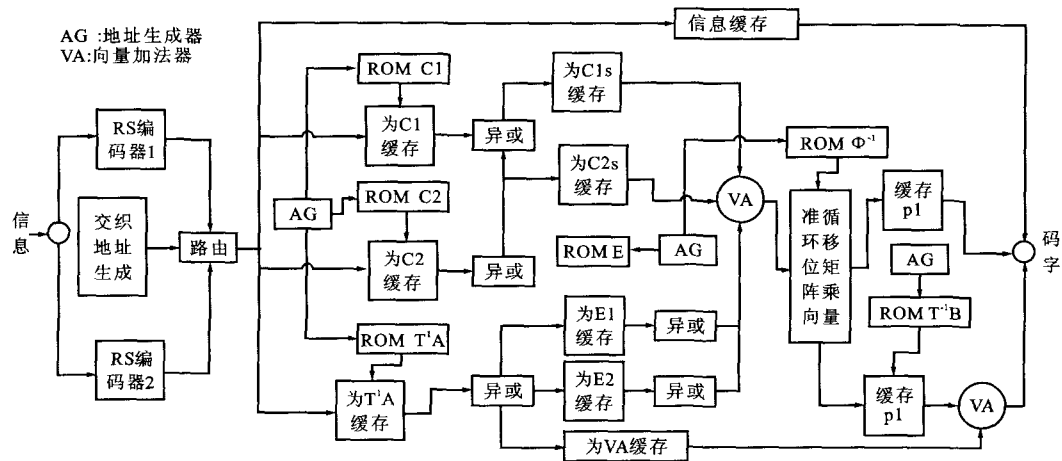


图 6 级联码编码器详细结构图

3 仿真与综合结果

在 Xilinx Virtex2v3000 平台上对级联码编码器进行逻辑综合, 得到的资源消耗报告在表 1 中列出.

图 7 和图 8 给出了级联码的误码和误帧性能, 从图 7 中可以看到: 所采用 RS 的码率越低, 级联码的性能越差, 所以盲目的将 RS 码和 QC-LDPC 码级联可能会使得性能相比 QC-LDPC 码有明显下降; 从图 8 中可以看到: 当采用 RS(240, 236) 和 RS

表 1 编码器消耗资源

资源	占用总数	可用总数	百分比
Number of slices	7639	14336	53%
Number of slice flip flops	8808	28672	30%
Number of 4 LUTs	13520	28672	47%
Number of bonded IOBs	22	516	4%
Number of BRAMs	65	96	67%
Number of GCLKs	1	16	6

(240,232)码时,级联可以使得误帧性能相比 QC-LDPC 码有所提高.综合考虑性能和硬件实现,选择了 RS(240,232)和 QC-LDPC(9216,7680)码进行级联.

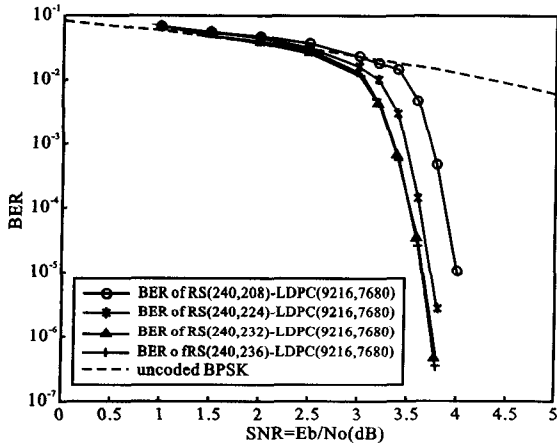


图7 级联码与 BPSK 的误码性能对比

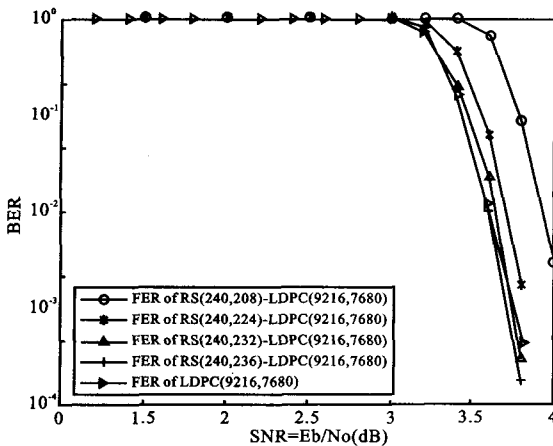


图8 级联码与 LDPC 码的误帧性能对比

4 结束语

文中提出了一种高速的 RS+QC-LDPC 级联码编码器结构,并且在 FPGA 平台上实现.经过优化设计的级联码编码器的吞吐量达到 2.25G bit/s 以上,可以应用在数字电视、卫星数据传送等需要处理大数据量的无限通信系统中.

参考文献:

- [1] Lin Shu. Error control coding[M]. 2nd ed. Boston: Prentice Hall, 2002.
- [2] Richardson T J, Urbanke R L. Efficient encoding of low-density parity-check codes[J]. IEEE Transactions on Information Theory, 2001, 47(2): 638-656.
- [3] Reed L S, Solomon G. Polynomial codes of certain finite fields[J]. Society of Industrial and Applied mathematics, 1960(8): 300-304.
- [4] 张晨. 高吞吐量 LDPC 码编码器构造及其 FPGA 实现[D]. 上海: 上海交通大学, 2009.
- [5] Zongwang Li, Lei Chen, Shu Lin. Efficient encoding of quasi-cyclic low-density parity-check codes[J]. IEEE Transactions on Communications, 2006, 54(1): 71-81.
- [6] 李刚, 黑勇, 仇玉林. 一种准循环 LDPC 解码器的设计与实现[J]. 微电子学与计算机, 2008, 25(7): 52-55.
- [7] 张仲金, 高明伦, 沙金, 等. 基于自身可信度的低复杂度 LDPC 码位翻转解码算法[J]. 微电子学与计算机, 2008, 25(7): 92-94.

作者简介:

施展 男, (1984-), 硕士研究生. 研究方向为通信编码器的硬件实现、SoC.

(上接第 106 页)

- [5] 周万春, 吴博. 一种优化的分层式移动 IPv6 路由策略的分析与研究[J]. 微电子学与计算机, 2007, 24(9): 19-21.

作者简介:

刘书如 男, (1979-), 硕士研究生, 讲师. 研究方向为网络

移动性管理.

甘勇 男, (1964-), 硕士研究生, 教授. 研究方向为网络管理与测量.

蔡增玉 男, (1979-), 硕士研究生, 讲师. 研究方向为网络移动性管理.